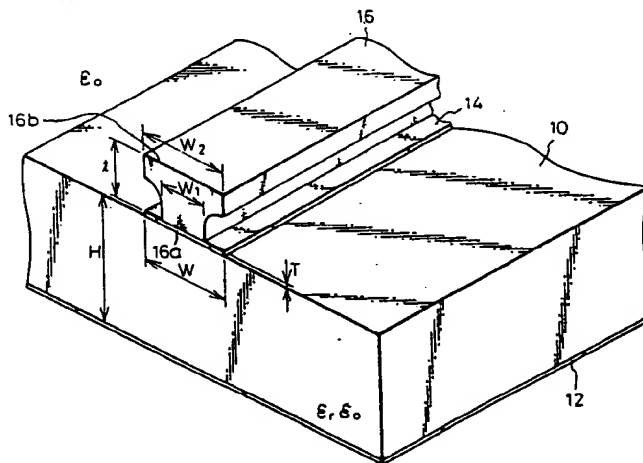


特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 5 H01P 3/08, 11/00		A1	(11) 国際公開番号 WO 93/02485
			(43) 国際公開日 1993年2月4日 (04.02.1993)
(21) 国際出願番号 (22) 国際出願日 (30) 優先権データ 特願平 3/179410 1991年7月19日 (19. 07. 91) JP		PCT/J P92/00913 1992年7月17日 (17. 07. 92)	
(71) 出願人 (米国を除くすべての指定国について) 富士通株式会社 (FUJITSU LIMITED) [JP/JP] 〒211 神奈川県川崎市中原区上小田中1015番地 Kanagawa, (JP)			
(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 戸澤紀雄 (TOZAWA, Norio) [JP/JP] 〒211 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内 Kanagawa, (JP)			
(74) 代理人 弁理士 青木 朗, 外 (AOKI, Akira et al.) 〒105 東京都港区虎ノ門一丁目8番10号 静光虎ノ門ビル 青和特許法律事務所 Tokyo, (JP)			
(81) 指定国		JP, US.	
添付公開書類		国際調査報告書	

(54) Title : MICROSTRIP LINE AND MANUFACTURING METHOD THEREFOR

(54) 発明の名称 マイクロストリップ線路およびその製造方法



(57) Abstract

A microstrip line capable of feeding a large DC current, in spite of maintaining a high characteristic impedance. The microstrip line is provided with a dielectric base (10), an earthing conductor (12), a conductor strip (14), and an upper conductor part (16). The upper conductor part (16) is provided nearly on the central line of the conductor strip (14), and has a section which is thick in a vertical direction and whose width w_1 of the lower base (16a) is narrower than the width W of the conductor strip (14) and respective width w_2 from the base (16a) to its opposite side (16b) are nearly equal to the width w_1 of the base (16a) or become larger than the width w_1 at upper parts. The upper conductor part (16) of such sectional shape is formed by welding onto the conductor strip (14) a linear member made of gold, silver or copper whose section is shaped so through etching, or by depositing on the conductor strip (14) gold, silver or copper through plating.

(57) 要約

高い特性のピーク電圧を維持しつつも、直流の電流を供給できるマイクロストリップ線路が提供される。

誘電体基板(10)と、接地導体(12)と、導体ストリップ(14)とを有するマイクロストリップ線路は、導体ストリップ(14)の略中心線上に、断面の底辺(16a)の幅 w_1 が導体ストリップ(14)の幅 W よりも狭く、底辺(16a)からその対向辺(16b)に至るまでの各幅 w_2 が、略底辺(16a)の幅 w_1 と等しいか、又は上部において大きくなるような、上下に肉厚の断面形状を有する上部導体部(16)を備える。このような断面形状の上部導体部(16)は、エッチングにより断面形状を成形した金、銀又は銅の線状部材を導体ストリップ(14)の上に溶着するか、導体ストリップ(14)の上に金、銀又は銅をペースキにより堆積成型する。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT オーストリア
AU オーストラリア
BB バルバドス
BE ベルギー
BF ブルキナファソ
BG ブルガリア
BJ ベナン
BR ブラジル
CA カナダ
CF 中央アフリカ共和国
CG コンゴ
CH スイス
CI コートジボアール
CM カメルーン
CS チェコスロバキア
DE ドイツ
DK デンマーク
ES スペイン

FI フィンランド
FR フランス
GA ガボン
GN ギニア
GB イギリス
GR ギリシャ
HU ハンガリー
IE アイルランド
IT イタリア
JP 日本
KP 朝鮮民主主義人民共和国
KR 大韓民国
LI リヒテンシュタイン
LK スリランカ
LU ルクセンブルグ
MC モナコ
MG マダガスカル
ML マリ

MN モンゴル
MR モリタニア
MW マラウイ
NL オランダ
NO ノルウェー
NZ ニュージーランド
PL ポーランド
PT ポルトガル
RO ルーマニア
RU ロシア連邦
SD スーダン
SE スウェーデン
SN セネガル
SU ソビエト連邦
TD チャド
TG トーゴ
UA ウクライナ
US 米国

明 細 書

マイクロストリップ線路およびその製造方法

技 術 分 野

本発明はマイクロストリップ線路に関し、更に詳しくはマイクロ波回路におけるバイアス供給回路としての使用に好適な高特性インピーダンスのマイクロストリップ線路およびその製造方法に関する。

背 景 技 術

近年、マイクロ波帯における電界効果トランジスタ（FET）やバイポーラトランジスタの高出力化が進み、1個のトランジスタで20W以上のマイクロ波電力が得られるが、このようなトランジスタの動作電圧は10V前後と低いため、5～8Aの大きな直流バイアス電流が必要になる。

一方、バイアス供給回路に対しては、マイクロ波回路の使用帯域における影響を極力小さくするために高特性インピーダンスのマイクロストリップ線路を介して直流電流を供給する要請があり、このような高特性インピーダンスを維持しようとする導体ストリップの幅を狭くしなくてはならない。

そこで、高い特性インピーダンスを維持しつつも、直流の大電流を供給できるようなマイクロストリップ線路の提供が要望されている。

この様な要請に対応すべく、従来では、高特性インピーダ

ンスの導体ストリップ上に細い金ワイヤ又は金リボンをボンディングして直流抵抗を低減させることが行なわれていた。

しかし、これらの方法では導体ストリップのみの場合の2～3倍の電流を許容するにとどまり、大電流を必要とする高出力トランジスタの直流バイアス電流を供給するには不十分であった。

また、1枚の半導体基板上に多数の能動、受動固体素子を回路と同時に形成するモノリシック化マイクロ波回路においては、寸法上の制約のために上述のような導体ストリップ上に金ワイヤ又は金リボンをボンディングする手法を採用することはできない。

特開平1-158801号公報には、導体ストリップの上部の幅が底部の幅の2倍以上であるT字状の断面を有するマイクロストリップ線路が開示されている。上部の張りだし部分は大きい直流電流を許容する導体の断面を提供するが、誘電体基板との間に空気層が存在するために特性インピーダンスへの寄与は小さい。したがって断面をT字形にすることにより特性インピーダンスが高く、かつ、十分な直流電流を流しうるマイクロストリップ線路が得られている。

しかしながら、上記張り出し部分の特性インピーダンスへの寄与が小さいとはいえ、張り出し部分の面積が広く誘電体基板との間の距離が小さければその寄与は無視できない大きさとなる。上記公報に記載された層形成工程とフォトリソング工程の組み合わせによるT字形の断面を有するマイクロストリップ線路の形成方法によれば、張り出し部分と誘電体

基板との間の距離は小さくならざるを得ず、また大電流を許容しうるように上部の幅を広く形成すればする程、張り出し部分の面積が広がる。したがって、T字形の断面を許容電流が大きくなるように設計すると、特性インピーダンス値が低下するため、許容電流の値には限界があるという問題がある。

発 明 の 開 示

本発明の目的は高い特性インピーダンスを維持しつつも、直流の大電流を供給できるマイクロストリップ線路およびその製造方法を提供することにある。

本発明によれば、底面およびそれに対向する上面を有する誘電体基板と、該誘電体基板の底面上に設けられた接地導体と、該誘電体基板の上面上に設けられた幅 W を有する導体ストリップと、該導体ストリップ上に設けられ、幅の最大値 w_2 が該導体ストリップの幅 W よりも小さい形状の断面を有する上部導体とを具備することを特徴とするマイクロストリップ線路が提供される。

本発明によれば、接地導体を具備しうる底面およびそれに対向する上面を有する誘電体基板の上面に幅 W の導体ストリップを具備するマイクロストリップ線路本体を準備し、幅の最大値 w_2 が導体ストリップの幅 W よりも小さい形状の断面を有する上部導体を造り、該マイクロストリップ線路本体の導体ストリップ上に該上部導体を固着する各段階を具備することを特徴とするマイクロストリップ線路の製造方法もまた

提供される。

本発明によれば、接地導体を具備しうる底面およびそれに対向する上面を有する誘電体基板の上面に幅 W の導体ストリップを具備するマイクロストリップ線路本体を準備し、該マイクロストリップ線路本体の上面において、該導体ストリップ上に幅の最大値 w_z が該導体ストリップの幅 W よりも小さい形状の断面を有する上部導体をメッキにより形成するための鑄型を形成し、該上部導体をメッキにより形成する各段階を具備することを特徴とするマイクロストリップ線路の製造方法もまた提供される。

図面の簡単な説明

図 1 は本発明の第 1 の具体例を表わす斜視図；

図 2 および図 3 は本発明の他の具体例を表わす断面図；

図 4 は先行技術に係るマイクロストリップ線路の断面図；

図 5 は特性インピーダンスの比較試験に用いた装置の平面図；

図 6 A、図 6 B および図 6 C は特性インピーダンスの比較試験に用いた試料の断面図；

図 7 は特性インピーダンスの比較試験の結果を示すグラフ；

図 8 A および図 8 B は本発明のマイクロストリップ線路の第 1 の製造方法における製造工程を表わす断面図；

図 9 A および図 9 B は本発明のマイクロストリップ線路の第 2 の製造方法における製造工程を表わす断面図；

図 10 は本発明のマイクロストリップ線路をマイクロ波帯

高出力増幅回路に適用した例を表わす斜視図；および

図 1 1 は本発明のマイクロストリップ線路をモノリシックマイクロ波集積回路に適用した例を表わす斜視図である。

発明を実施するための最良の形態

図 1 は本発明の一具体例に係るマイクロストリップ線路の斜視図である。図 1 において、マイクロストリップ線路は、厚さ H の誘電体基板 1 0、誘電体基板 1 0 の裏面に設けられた接地導体 1 2、誘電体基板 1 0 の表面に設けられた幅 W 厚さ T の導体ストリップ 1 4 および導体ストリップ 1 4 上に設けられた上部導体 1 6 を具備している。

上部導体 1 6 は肉厚 t を有し、その下部の幅 w_1 は導体ストリップの幅 W よりも狭く、上部の幅 w_2 は W よりも狭くかつ w_1 よりも広く、中間部の幅は w_1 から w_2 へと連続的に移行している。

図 2 および図 3 は本発明の他の具体例に係るマイクロストリップ線路の断面図である。図 2 に示したマイクロストリップ線路においては、上部導体 1 6 は上辺の幅が w_2 で下辺の幅が w_1 のくさび形の断面を有している。図 3 に示したマイクロストリップ線路においては、上部導体 1 6 は幅 w_1 または w_2 の矩形の断面を有している。いずれの場合においても、上部導体 1 6 の幅の最大値 w_2 が導体ストリップの幅 W よりも小である。図示以外にも、この条件を満たす上部導体 1 6 の断面形状は種々考えられる。

本発明に従い、直流電流容量を増すために導体ストリップ

14上に設けられた上部導体16による特性インピーダンスへの影響について記述する。

マイクロストリップ線路の特性インピーダンス Z_0 は

$$Z_0 = \frac{1}{c \cdot C_0 \cdot \sqrt{\epsilon_{eff}}} \quad \dots (1)$$

で与えられる。ただし、 c は光速、 ϵ_{eff} は実効誘電率、 C_0 は分布容量である。(1)式より、特性インピーダンス Z_0 の変化は分布容量 C_0 の変化から推測することができる。わかる。

図1～図3に示した本発明のマイクロストリップ線路に静電荷を充電させたとすると、上部導体16の幅の最大値 w_2 は導体ストリップ14の幅 W 以下であるので、上部導体16が付加された導体ストリップ14側の充電電荷の大部分は導体ストリップ14の下面の幅 W 内に分布するのは明らかである。したがって、上部導体16を付加しても分布容量 C_0 の増加はわずかであり、特性インピーダンス Z_0 の低下は小さいことがわかる。

一方、特開平1-158801号公報記載のマイクロストリップ線路の断面は図4に示すようなT型である。図4中の領域Iおよび領域II（張り出し部分）の分布容量（単位長さあたりの容量） C_I 、 C_{II} は、エッジ効果を見れば、

$$C_I = \frac{\epsilon_r}{d_2} \epsilon_0 W$$

$$C_{II} = \frac{\epsilon_r}{\epsilon_r d_1 + d_2} \epsilon_0 W$$

である。ただし、T型導体ストリップの上部の幅を底部の幅Wの2倍の2Wとしている。したがって、領域Ⅰのみのときの分布容量 C_1 と領域Ⅰ+領域Ⅱの分布容量 $C_1 + C_{11}$ の比 ρ は

$$\rho = \frac{C_1 + C_{11}}{C_1} = \frac{2 + \epsilon_r (d_1 / d_2)}{1 + \epsilon_r (d_1 / d_2)} \quad \dots (2)$$

である。

式(2)にマイクロ波帯高出力増幅器における代表的な値である $\epsilon_r = 2.5$, $d_1 = 0.035 \text{ mm}$, $d_2 = 0.8 \text{ mm}$ を代入すると、

$$\rho \approx 1.9$$

となる。したがって、この場合には 50Ω の特性インピーダンスは、張り出し部分の影響により $50 \div 1.9 \approx 26.3 \Omega$ に低下することが予想される。

GaAs MMICにおける代表的な値 $\epsilon_r = 13$, $d_1 = 3 \mu\text{m}$, $d_2 = 100 \mu\text{m}$ を代入すると、

$$\rho \approx 1.72$$

となり、この場合には 50Ω の特性インピーダンスが $50 \div 1.72 \approx 29 \Omega$ に低下することが予想される。

図5の平面図に示すような測定装置を用いて、A-A'断面をそれぞれ図6A-図6Cに示す形状及び寸法に加工して、反射係数を測定して、それから特性インピーダンスを算出した結果を図7に示す。図5中、20, 22はコネクタであり、それらの間のストリップ線路24のうち、一点鎖線の矩形で囲まれた部分を図6A-図6Cに示すような種々の断面形状

に加工したものについて反射係数を測定し、それから特性インピーダンスを算出した。図 6 A は前記公報に記載された先行技術に相当するものであり、図 6 B は本発明によるものに相当し、図 6 C は導体ストリップのみの場合である。図 7 の横軸は図 5 のマイクロストリップ線路 2 4 の横方向の位置に対応する。図 7 を参照すれば、先行技術によるマイクロストリップ線路（曲線 A）では曲線 C と較べて著しく特性インピーダンスが低下しているのに対して、本発明のマイクロストリップ線路（曲線 B）では特性インピーダンスの低下が小さいのが理解される。

図 1 に示された本発明の一具体例において、誘電体基板 1 0 は、好ましくは、板厚 H が 0.8 mm のテフロンガラス製であり、導体ストリップ 1 4 は、好ましくは、幅 W が 0.5 mm 厚さ T が 35 μ m の銅製である。上部導体 1 6 の肉厚 t は 0.4 mm である。

このような上部導体 1 6 は、肉厚が約 0.4 mm の金、銀又は銅の板状部材からエッチングにより図示のような断面形状の線状部材を形成し、これを導体ストリップ 1 4 の中心線上にはんだ付等により固着して形成する。このマイクロストリップ線路をマイクロ波回路のバイアス供給回路に応用した例では、上部導体 1 6 を溶着しないときの特性インピーダンスを殆んど低下させることなく、約 8 倍の 8 A の電流を流すことができた。

図 8 A および図 8 B は上部導体の一例の製法を説明する図で、夫々フォトリソエッチング工程の一部を示している。

図 8 A において、金、銀又は銅の板状部材 30 の両面にポジタイプのフォトレジスト 32 a, 32 b を塗布し、これを、線幅 w_1 のマスク 34 a を有するガラス 34 と線幅 w_2 のマスク 36 a を有するガラス 36 とで両側から挟み、さらに、両面の上方から紫外線を照射してマスク 34 a, 36 a の像をフォトレジスト 32 a, 32 b に転写する。次に、レジスト専用の現像液を用いて紫外線が照射された部分のレジスト（斜線部分）を除去し、さらに、レジストで保護されていない部分の金属を化学的にエッチングする。

この化学的エッチング処理において、例えば金属の上面処理と下面処理との間で適当な時間差を設ければ、図 8 B に示すような断面が略 T の字の上部導体 16 が得られる。そして、残ったレジスト 32 a, 32 b を専用の剝離液で除去する。

なお、マスク 34 a, 36 a のパターンはマイクロ波回路の回路パターンに合わせて直線状でも折れ線状でも描くことができるから、上部導体 16 もこれをはんだ付する回路パターンと同一に形成できる。

図 9 A および図 9 B は上部導体の他の例の製法を説明する図で、夫々メッキ工程の一部を示している。

図 9 A において、誘電体基板 10 と、接地導体 12 と、導体ストリップ 14 とから成るマイクロストリップ線路の上面を、上部導体 16 を成型するような断面形状のマスク部材 38 で覆い、この状態で導体ストリップ 14 に対して金、銀又は銅によるメッキを行う。これにより、時間経過と共にメッキ層が堆積し、マスク部材 38 の断面形状に沿って上部導体

16が成長してゆく。

メッキ層がマスク部材38の表面と略面一になったらメッキを止め、さらにマスク部材38を溶解し又は剥離すると、図9Bのマイクロストリップ線路が得られる。この方法によれば図9Bに示すようなマイクロストリップ線路が最初から一体的に形成できるから、モノリシック化にも適している。

図2または図3に示した断面を有するマイクロストリップ線路も同様に、図8A、図8Bまたは図9A、図9Bに示した方法で製造することができる。図3の断面を有するマイクロストリップ線路については、図1または図2のものと同一の断面積を得ようとする、肉厚 t が幾分増すが、このような矩形の断面は製造が容易であるという利点がある。

図10は本発明に係るマイクロストリップ線路をマイクロ波帯高出力増幅回路に適用した例を示す図で、図において10は誘電体基板、12は接地導体、40はマイクロ波信号の伝送のための導体ストリップ、42はFETチップ、44はFETのドレインDのためのバイアス供給回路、46は直流バイアスの給電端、14は直流バイアスを供給するための高特性インピーダンスの導体ストリップ、16は導体ストリップ14の上に設けた上部導体である。

図10のマイクロストリップ線路を使用したバイアス供給回路44では、FET42のドレインDに8A程度の直流バイアス電流を供給できると共に、該線路の特性インピーダンスは、もともとの導体ストリップ14が有する高特性インピーダンスと殆ど変わらないので、マイクロ波回路に与える影

響も少ない。

図 1 1 は本発明に係るマイクロストリップ線路をモノリシックマイクロ波集積回路に適用した例を示す図で、図において 1 0 は半絶縁 G a A s を用いた誘電体基板、4 0 は金を用いた信号伝送のための導体ストリップ、4 8 はバイアス供給および信号伝送のための回路、5 0 a, 5 0 b は F E T 素子、1 6 は導体ストリップ 1 4 及び 4 0 の一部に沿って金をメッキ堆積することにより形成した上部導体である。

図 1 1 の上部導体 1 6 は、導体ストリップ 1 4 及び 4 0 の夫々の特性インピーダンスを変化させないので、図示の如く、上部導体 1 6 はバイアス供給回路のみならず、マイクロ波回路上にも設けることができる。なお、導体ストリップ 1 4 上の上部導体 1 6 には F E T 2 個分の直流バイアス電流が流れ、導体ストリップ 4 0 上の上部導体 1 6 には F E T 1 個分の直流バイアス電流が流れている。

以上述べた如く本発明によれば、通常のマイクロストリップ線路の特性インピーダンスを変化させることなく、線路の直流抵抗を低下させ、大電流を流すことができるので、本発明は高性能の無線装置の実現に寄与するものである。

請 求 の 範 囲

1. 底面およびそれに対向する上面を有する誘電体基板と、
該誘電体基板の底面上に設けられた接地導体と、
該誘電体基板の上面上に設けられた幅 W を有する導体ストリップと、

該導体ストリップ上に設けられ、幅の最大値 w_2 が該導体ストリップの幅 W よりも小さい形状の断面を有する上部導体とを具備することを特徴とするマイクロストリップ線路。

2. 前記上部導体は w_2 よりも小さい w_1 の幅を有する下部と w_2 の幅を有する上部と該下部と上部の間で幅が w_1 から w_2 へと連続的に移行する中間部とを有する請求の範囲第1項に記載のマイクロストリップ線路。

3. 前記上部導体は上辺の長さ w_2 、下辺の長さ w_1 のくさび形の断面を有する請求の範囲第1項に記載のマイクロストリップ線路。

4. 前記上部導体は幅 w_2 の矩形の断面を有する請求の範囲第1項に記載のマイクロストリップ線路。

5. 接地導体を具備しうる底面およびそれに対向する上面を有する誘電体基板の上面に幅 W の導体ストリップを具備するマイクロストリップ線路本体を準備し、

幅の最大値 w_2 が導体ストリップの幅 W よりも小さい形状の断面を有する上部導体を造り、

該マイクロストリップ線路本体の導体ストリップ上に該上部導体を固着する各段階を具備することを特徴とするマイク

ロストリップ線路の製造方法。

6. 前記上部導体を造る段階は、導体製の棒状部材の断面をフォトエッチングにより成形する段階を含む請求の範囲第5項の方法。

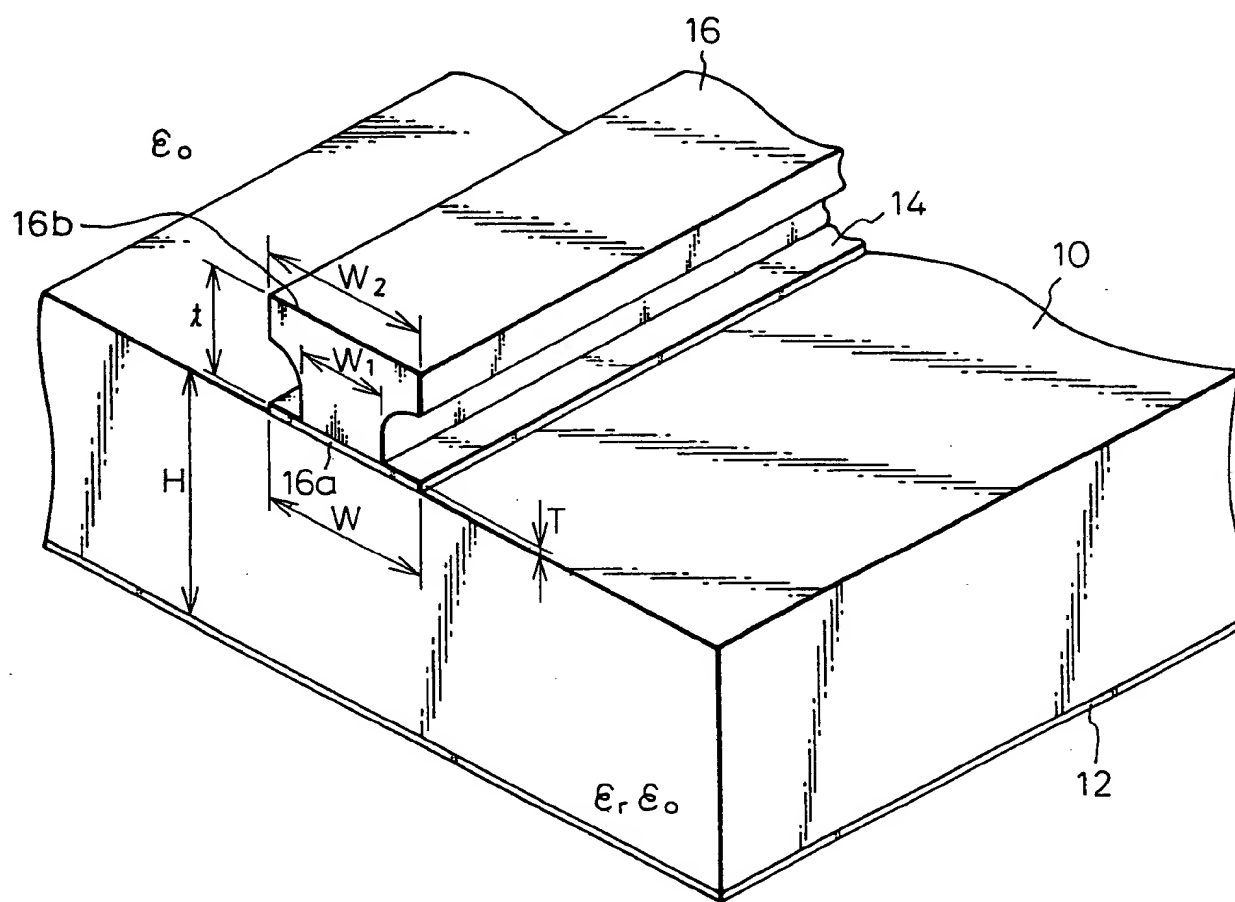
7. 接地導体を具備しうる底面およびそれに対向する上面を有する誘電体基板の上面に幅 W の導体ストリップを具備するマイクロストリップ線路本体を準備し、

該マイクロストリップ線路本体の上面において、該導体ストリップ上に幅の最大値 w_2 が該導体ストリップの幅 W よりも小さい形状の断面を有する上部導体をメッキにより形成するための鑄型を形成し、

該上部導体をメッキにより形成する各段階を具備することを特徴とするマイクロストリップ線路の製造方法。

$\frac{1}{9}$

Fig.1



$\frac{2}{9}$

Fig.2

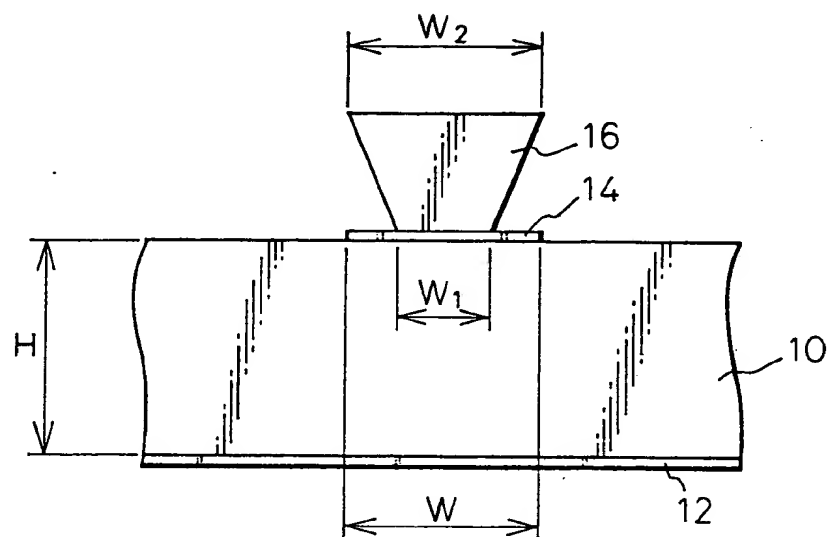
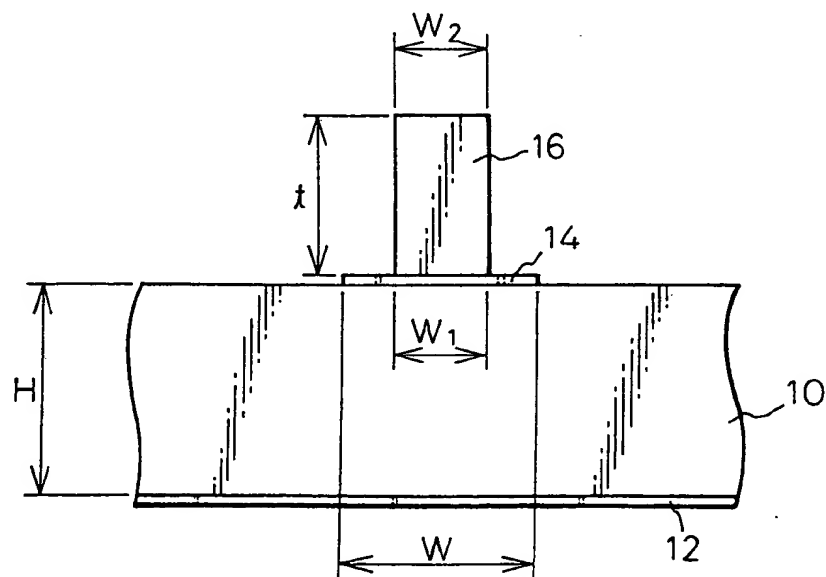


Fig.3



$\frac{3}{9}$

Fig.4

先行技術

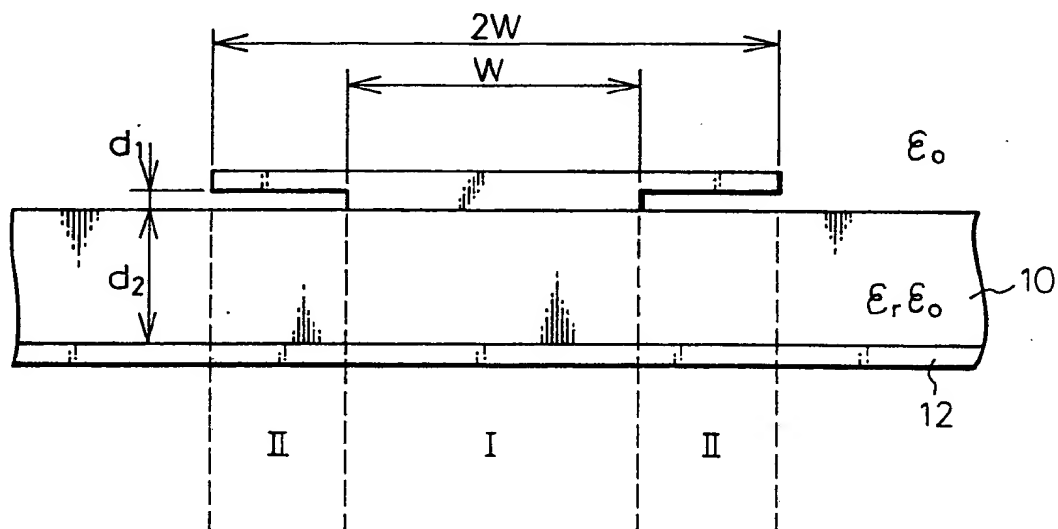
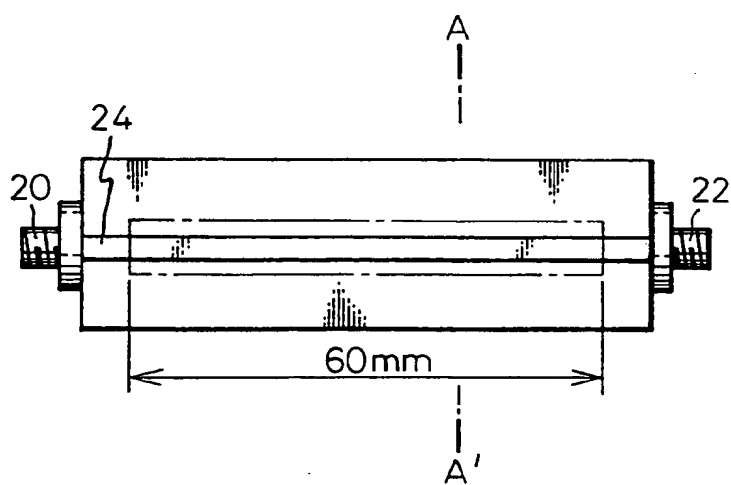


Fig.5



4/9

Fig.6A

先行技術

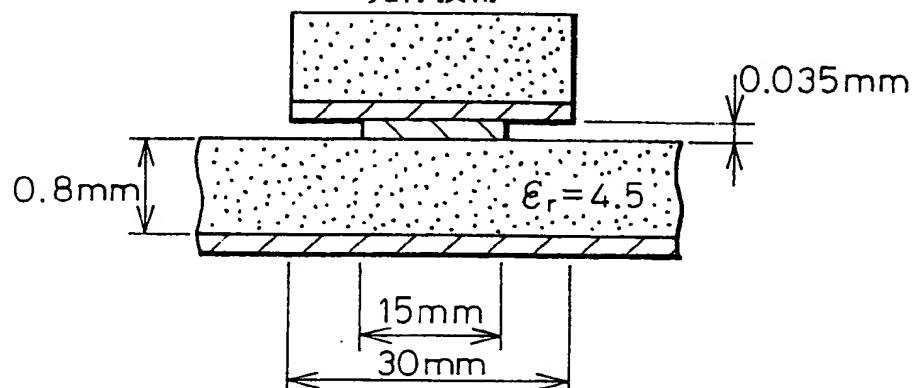


Fig.6B

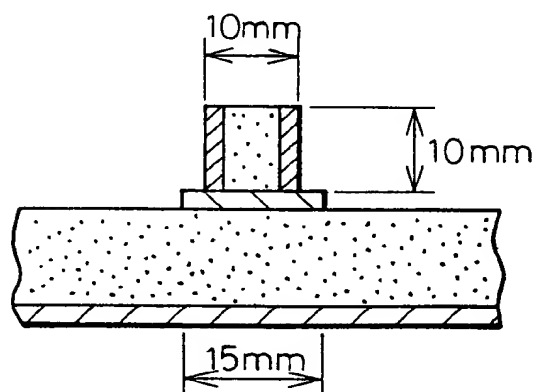
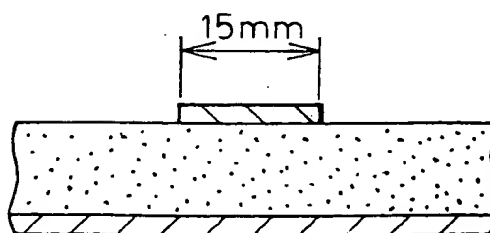
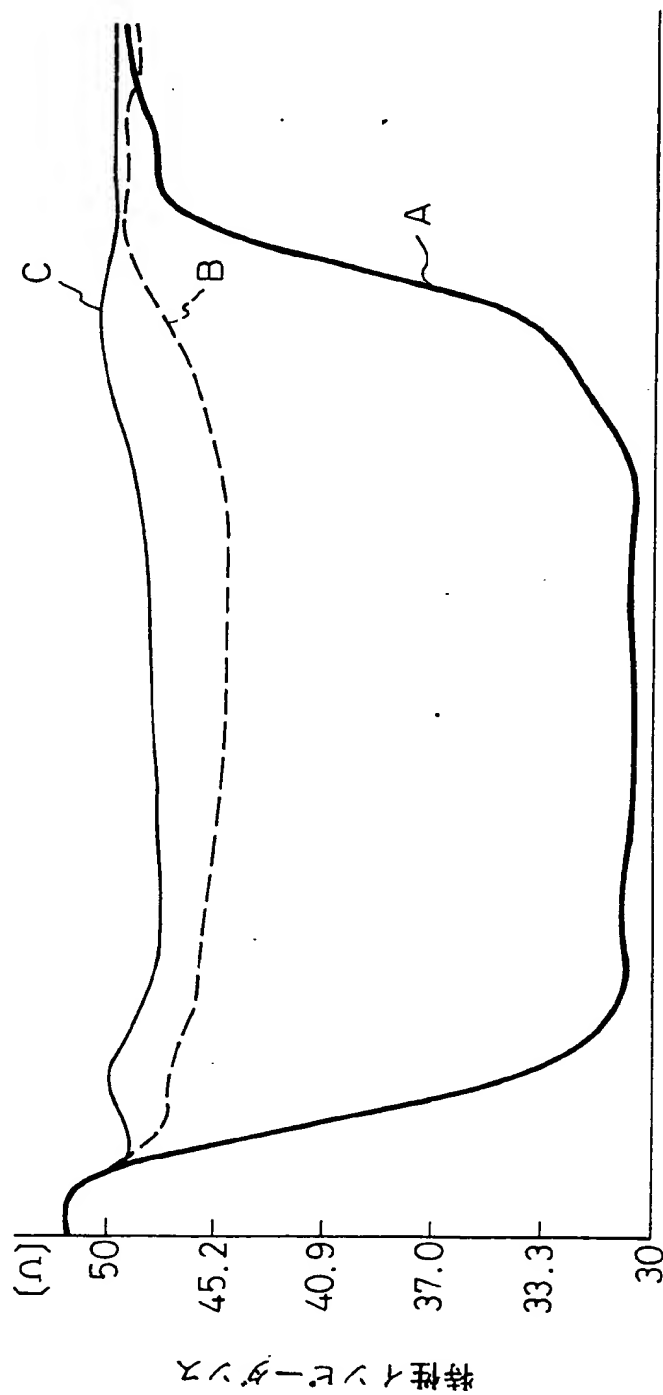


Fig.6C



5/9

Fig.7



A : 先行技術
B : 本発明
C : 導体ストリップのみ

6/9

Fig.8A

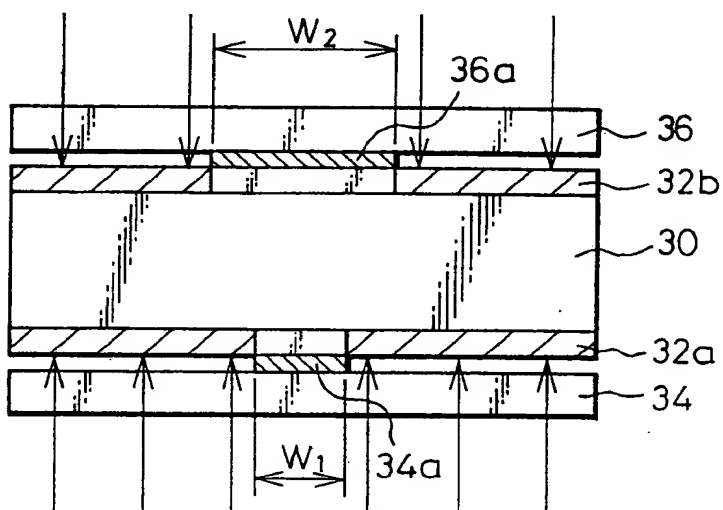
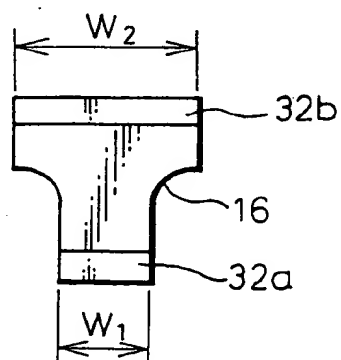


Fig.8B



$\frac{7}{g}$

Fig.9A

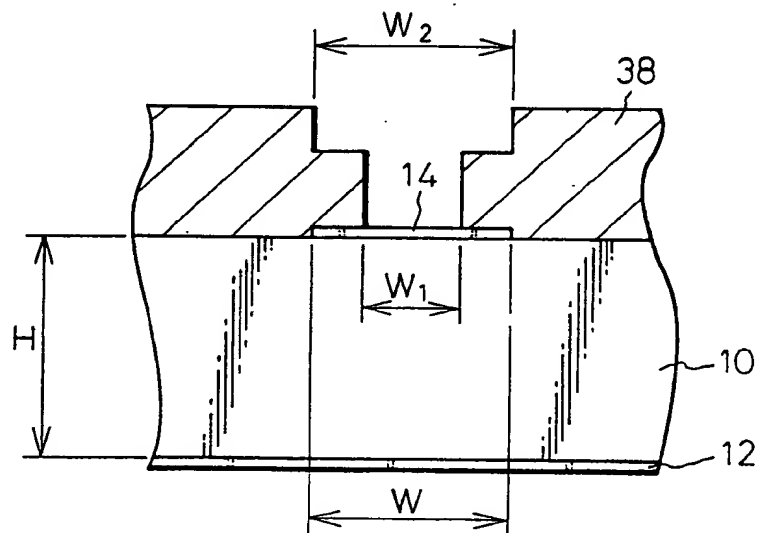
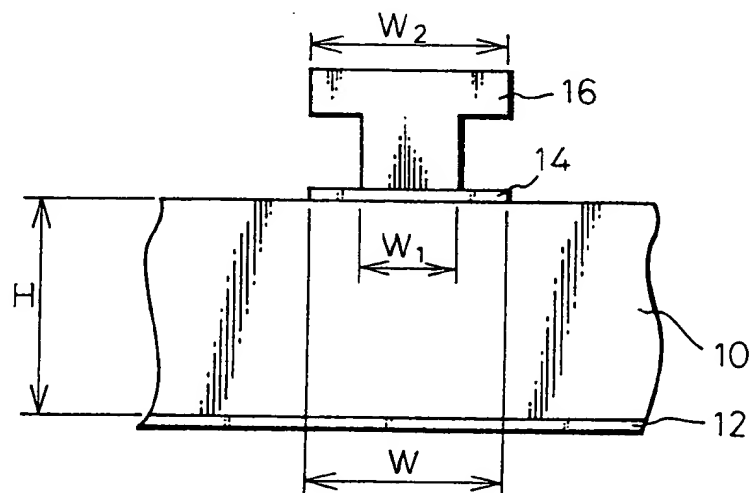
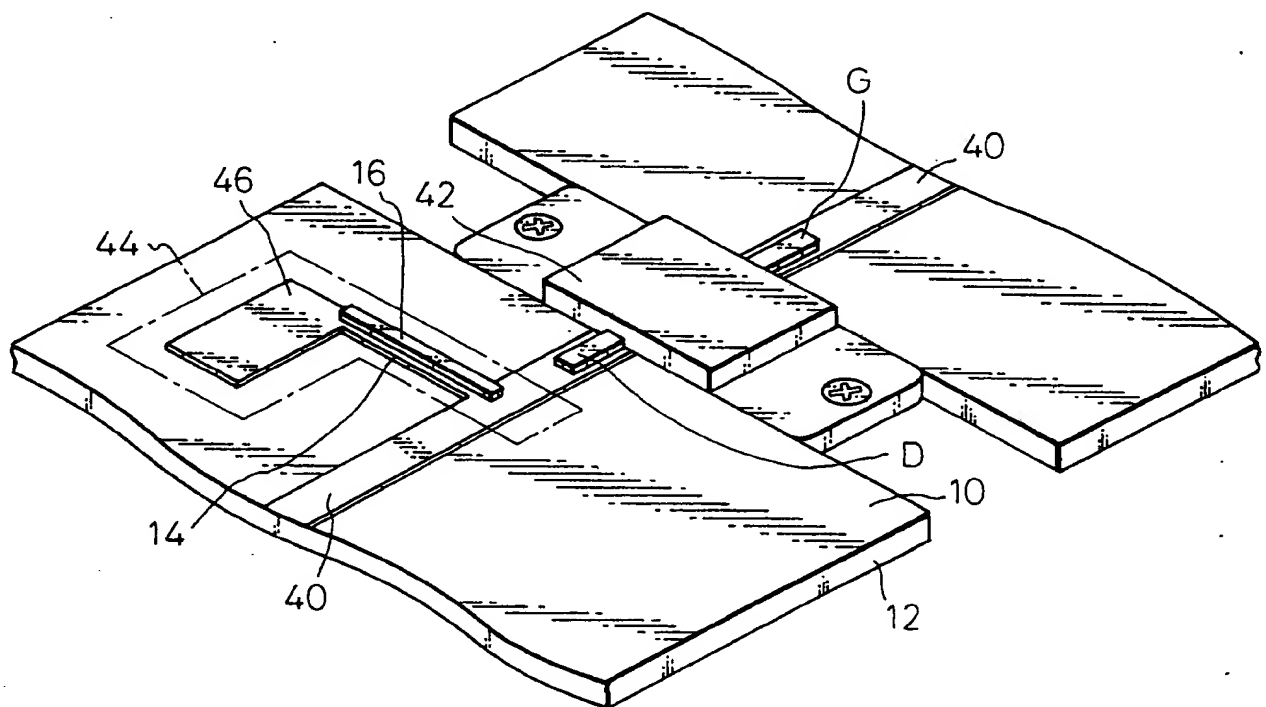


Fig.9B



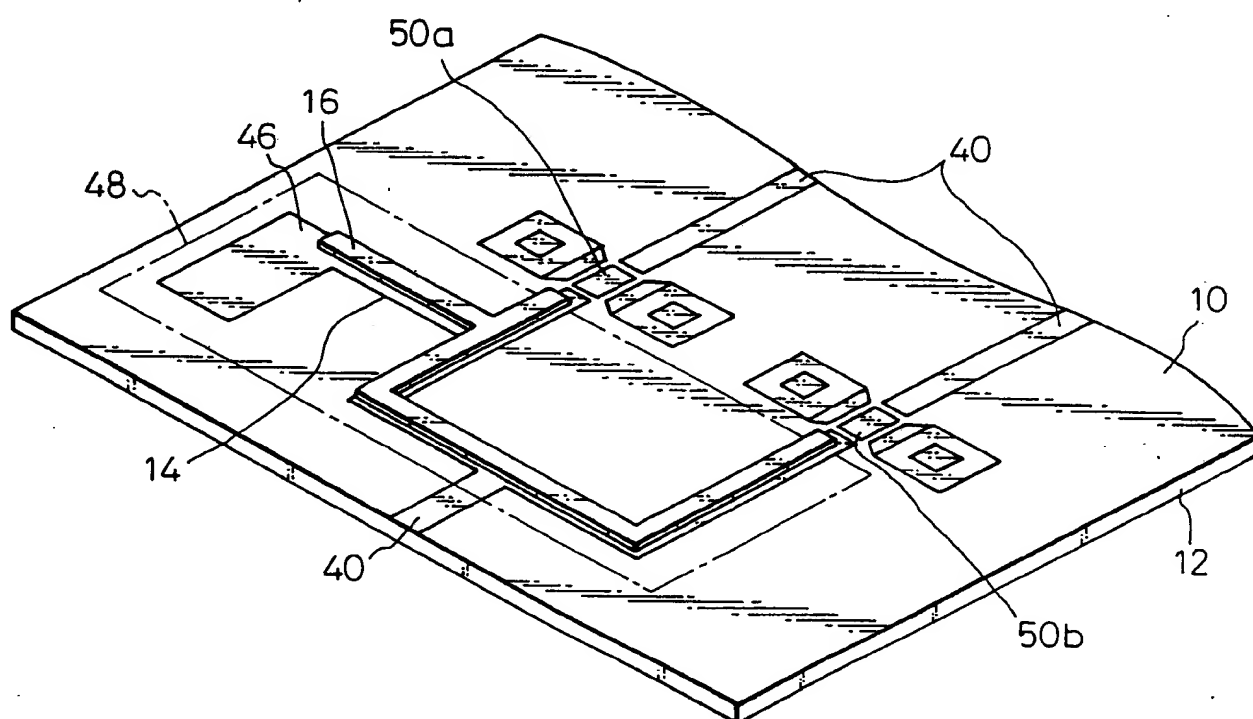
8/9

Fig.10



9/9

Fig.11



INTERNATIONAL SEARCH REPORT

International Application No PCT/JP92/00913

I. CLASSIFICATION OF SUBJECT MATTER (If several classification symbols apply, indicate all) ⁶		
According to International Patent Classification (IPC) or to both National Classification and IPC		
Int. Cl. ⁵ H01P3/08, 11/00		
II. FIELDS SEARCHED		
Minimum Documentation Searched ⁷		
Classification System	Classification Symbols	
IPC	H01P3/08, 11/00, 1/00, 1/203, H03F3/60	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁸		
Jitsuyo Shinan Koho		1926 - 1992
Kokai Jitsuyo Shinan Koho		1971 - 1992
III. DOCUMENTS CONSIDERED TO BE RELEVANT ⁹		
Category ¹⁰	Citation of Document, ¹¹ with indication, where appropriate, of the relevant passages ¹²	Relevant to Claim No. ¹³
X	JP, B2, 58-36841 (Fujitsu Ltd.), August 12, 1983 (12. 08. 83), Line 4, column 3 to line 23, column 4, page 2, Figs. 2, 3, 5 & JP, A, 55-91204	1, 4, 7
X	JP, Y2, 61-22330 (Matsushita Electric Ind. Co., Ltd.), July 4, 1986 (04. 07. 86), Full descriptions, all drawings (Family: none)	1, 5
Y	JP, A, 60-33705 (Matsushita Electric Ind. Co., Ltd.), February 21, 1985 (21. 02. 85), Line 14, lower left column to line 17, lower right column, page 2, line 17, upper right column to line 13, lower right column, page 4, Fig. 2 (Family: none)	1, 5
A	JP, A, 1-158801 (Fujitsu Ltd.), June 21, 1989 (21. 06. 89), Full descriptions, all drawings (Family: none)	2, 3, 6
<p>¹⁰ Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"A" document member of the same patent family</p>		
IV. CERTIFICATION		
Date of the Actual Completion of the International Search		Date of Mailing of this International Search Report
July 29, 1992 (29. 07. 92)		August 18, 1992 (18. 08. 92)
International Searching Authority		Signature of Authorized Officer
Japanese Patent Office		

I. 発明の属する分野の分類		
国際特許分類 (IPC) Int. Cl.³ H01P3/08, 11/00		
II. 国際調査を行った分野		
調 査 を 行 っ た 最 小 限 資 料		
分 類 体 系	分 類 記 号	
IPC	H01P3/08, 11/00, 1/00, 1/203 H03F3/60	
最小限資料以外の資料で調査を行ったもの		
日本国実用新案公報 1926-1992年 日本国公開実用新案公報 1971-1992年		
III. 関連する技術に関する文献		
引用文献の カテゴリー ※	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
X	JP, B2, 58-36841 (富士通株式会社), 12. 8月. 1983 (12. 08. 83), 第2頁第3欄第4行-第2頁第4欄第23行, 第2図, 第3図, 第5図, & JP, A, 55-91204	1, 4, 7
X	JP, Y2, 61-22330 (松下電器産業株式会社), 4. 7月. 1986 (04. 07. 86), 全文全図, (ファミリーなし)	1, 5
Y	JP, A, 60-33705 (松下電器産業株式会社), 21. 2月. 1985 (21. 02. 85), 第2頁左下欄第14行-第2頁右下欄第17行, 第4頁 右上欄第17行-第4頁右下欄13行, 第2図, (ファミリーなし)	1, 5
A	JP, A, 1-158801 (富士通株式会社),	2, 3, 6
※引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」先行文献ではあるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日 若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に関する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願の 日の後に公表された文献 「T」国際出願日又は優先日の後に公表された文献であって出 願と矛盾するものではなく、発明の原理又は理論の理解 のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新 規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の 文献との、当業者にとって自明である組合せによって進 歩性がないと考えられるもの 「&」同一パテントファミリーの文献		
IV. 認 証		
国際調査を完了した日	国際調査報告の発送日	
29. 07. 92	18.08.92	
国際調査機関	権限のある職員	5 J 7 7 4 1
日本国特許庁 (ISA/JP)	特許庁審査官	清水康志

第2ページから続く情報

(Ⅲ欄の続き)

21. 6月 1989 (21. 06. 89),
全文全図, (ファミリーなし)

V. ☐ 一部の請求の範囲について国際調査を行わないときの意見

次の請求の範囲については特許協力条約に基づく国際出願等に関する法律第8条第3項の規定によりこの国際調査報告を作成しない。その理由は、次のとおりである。

1. ☐ 請求の範囲 _____ は、国際調査をすることを要しない事項を内容とするものである。
2. ☐ 請求の範囲 _____ は、有効な国際調査をすることができる程度にまで所定の要件を満たしていない国際出願の部分に係るものである。
3. ☐ 請求の範囲 _____ は、従属請求の範囲でありかつPCT規則6.4(a)第2文の規定に従って起草されていない。

VI. ☐ 発明の単一性の要件を満たしていないときの意見

次に述べるようにこの国際出願には二以上の発明が含まれている。

1. ☐ 追加して納付すべき手数料が指定した期間内に納付されたので、この国際調査報告は、国際出願のすべての調査可能な請求の範囲について作成した。
2. ☐ 追加して納付すべき手数料が指定した期間内に一部分しか納付されなかったので、この国際調査報告は、手数料の納付があった発明に係る次の請求の範囲について作成した。
請求の範囲 _____
3. ☐ 追加して納付すべき手数料が指定した期間内に納付されなかったので、この国際調査報告は、請求の範囲に最初に記載された発明に係る次の請求の範囲について作成した。
請求の範囲 _____
4. ☐ 追加して納付すべき手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加して納付すべき手数料の納付を命じなかった。

追加手数料異議の申立てに関する注意

- ☐ 追加して納付すべき手数料の納付と同時に、追加手数料異議の申立てがされた。
☐ 追加して納付すべき手数料の納付に際し、追加手数料異議の申立てがされなかった。

